

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 03-058030
 (43) Date of publication of 13.03.1991
 application :

(51) Int.Cl. G02F 1/136
 H01L 29/784

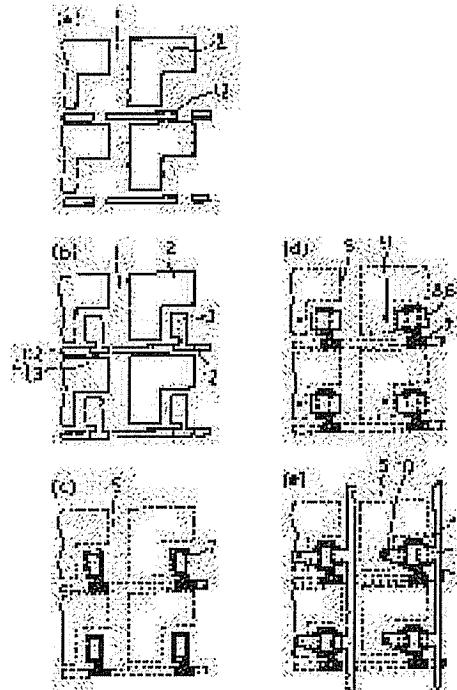
(21) Application number : 01-195816 (71) Applicant : SANYO ELECTRIC CO
 (22) Date of filing : 27.07.1989 (72) Inventor : YOSHIZAKO KEIZO

(54) PRODUCTION OF THIN-FILM TRANSISTOR ARRAY

(57) Abstract:

PURPOSE: To eliminate shorting by laminating light transparent connecting electrodes formed simultaneously with picture element electrodes under plural non-light transparent gate electrodes and thereby constituting gate lines.

CONSTITUTION: The light transparent picture element electrodes 2 consisting of ITO and the connecting electrodes 12 are provided on a transparent substrate 1. The non-light transparent gate electrodes 3 consisting of Cr are deposited in superposition on the electrodes 12 to constitute the gate lines 4. A gate insulating film 5, a semiconductor 6 and a passivation film 7 are laminated and after a positive resist is applied thereon, the resist is exposed from the rear surface and is etched by development to form the patterns of passivation. The entire surface of the substrate 1 is coated with an impurity semiconductor film 8 and is so etched that the film 6 and the film 8 are formed across the film 7; further the film 5 is partly etched to form contact holes 11 for the purpose of contact with the electrodes 2 and the source electrodes 10; further, a



metallic film consisting of Al is deposited and is etched to leave the parts corresponding to the films 10 and the drain electrodes 9. Finally, the films 8 shorting between the electrodes 9 and 10 are removed by etching. The shorting of thin-film transistor (TFT) is eliminated with the smallest number of stages.

⑯日本国特許庁(JP)

⑪特許出願公開

⑫公開特許公報(A) 平3-58030

⑬Int.Cl.⁵

G 02 F 1/136
H 01 L 29/784

識別記号

500

府内整理番号

9018-2H

⑭公開 平成3年(1991)3月13日

9056-5F H 01 L 29/78 311 A

審査請求 未請求 請求項の数 2 (全4頁)

⑮発明の名称 薄膜トランジスタアレーの製造方法

⑯特 願 平1-195816

⑰出 願 平1(1989)7月27日

⑱発明者 吉迫 圭三 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内

⑲出願人 三洋電機株式会社 大阪府守口市京阪本通2丁目18番地

⑳代理人 弁理士 西野 卓嗣 外2名

明細書

1. 発明の名称

薄膜トランジスタアレーの製造方法

2. 特許請求の範囲

(1) 透明絶縁性基板上に1本以上のゲートラインと複数本のドラインラインが交差し、各交差点に画素電極を結合した薄膜トランジスタを構成してなる薄膜トランジスタアレーの製造方法において、上記ゲートラインは分離した複数の非透光性ゲート電極と、画素電極と同時に形成される透光性接続用電極からなり、該接続用電極の一部がゲート電極の下に重疊したことを特徴とする薄膜トランジスタアレーの製造方法。

(2) 透明絶縁基板上に1本以上のゲートラインと複数本のドラインラインが交差し、各交点に画素電極を結合した薄膜トランジスタを構成してなる薄膜トランジスタアレーの製造方法において、上記ゲートラインは分離した複数の非透光性ゲート電極と、画素電極と同時に形成される透光性接続用電極からなり、該接続用電極の一部がゲート

電極の上に重疊したことを特徴とする薄膜トランジスタアレーの製造方法。

3. 発明の詳細な説明

(イ) 産業上の利用分野

本発明はゲート電極及びゲートラインをマスクにして、基板裏面より露光を行い、パッシベーションパターン又は半導体膜を形成する薄膜トランジスタ(TFT)アレーの製造方法に関するものである。

(ロ) 従来の技術

製造工程数の削減により製品の歩留りを向上させるため、背面露光を用いた自己整合法がTFTの製造法において多用されるようになってきた。

例えば、裏面露光によりTFTのみに感光性の遮光樹脂を残す方法(特開昭63-237033号公報)や、背面露光に統いてフォトレスiston側から全面露光することにより、露光時間を短縮して半導体膜上に保護絶縁膜パターンを残す方法(特開昭63-305563号公報)や、ゲート電極をマスクとして絶縁性基板側から露光してゲ

ート電極の形に絶縁膜を残し、半導体膜に不純物を導入する方法（特開昭63-158875号公報）などがある。

第4図に従来の製造方法で構成されたTFTの透視平面図を示す。

第4図のゲートライン上で基板を切断し、ソース電極側を除去した斜視図を第2図に示す。

第2図において、基板（1）からの裏面露光により、ゲートライン（4）の形状に半導体膜（6）が残り、隣接したドレイン電極（9）が半導体膜（6）を介在して、接続されていることがわかる。

（ハ）発明が解決しようとする課題

その結果隣接するドレイン電極（9）同士が電気的に接続させドレインードレイン間ショートが発生し、パネルの表示特性が悪くなる欠点があつた。

一方、ショートをなくすためには、TFTの製造工程において、切断場所を指定するもう1枚の新たなマスクを要し、製造工程が増加し、製造

コストがかかる短所があった。

本発明はTFT間のショートをなくし、ショートの切断工程をなくすることを目的とする。

（ニ）課題を解決するための手段

本発明は透明絶縁基板上に1本以上のゲートラインと複数本のドレインラインとが交差し、各交差点に画素電極またはソース電極を結合したTFTを構成してなるTFTアレーの製造方法において、上記分離した複数の非透光性ゲート電極下に画素電極と同時に形成される透光性接続用電極を一部積層してゲートラインを構成する工程を含むか、若しくは分離した複数の非透光性ゲート電極上にソース電極と同時に形成される接続用電極を一部積層してゲートラインを構成する工程を含むことを特徴とする。

（ホ）作用

非透光性の第1の島状領域が1TFTに対し、1個以上に分割されているので、第1の島状領域上に形成される半導体膜は各TFTごとに分離し、隣接するTFT間でショートが発生すること

がない。

（ヘ）実施例

以下、実施例に基づき、本発明を詳述する。

（実施例1）

第3図に本発明の製造方法で形成されたTFTアレーの第1の実施例の透視平面図を示す。

第3図に示すように、透明絶縁性の基板（1）上に透光性のITOよりなる画素電極（2）及び接続用電極（12）があり、接続用電極（12）上に非透光性のゲート電極（3）が積層し、ゲートラインを形成している。

ゲート電極（3）はAu-Cr、Cr、Taなどの金属で構成されている。

第3図のゲートラインで基板を切断し、ソース電極側を除去した本発明による第1の実施例のTFTアレーの斜視図を第1図に示す。

第1図において、上に非透光性のゲート電極（3）のない接続用電極（12）上の半導体膜（6）及びパッシベーション膜（7）は除去され、隣接するTFTにショートが生じない構造に

なっている。

接続用電極を始めに設置する本発明の第1の実施例のTFTアレーの製造工程を第5図に示す平面図で詳述する。

第5図（a）において、透明な基板（1）上に透光性のITOよりなる画素電極（2）及び接続用電極（12）を設ける。

続いて、一部が接続用電極（12）に重疊するよう非透光性のCrよりなるゲート電極（3）を基板（1）に被覆する。

すると第1図（b）に示すようにゲートライン（4）は非透光性のゲート電極（3）と透光性の接続用電極（12）とから構成される。

次に、連続してSiNxからなるゲート絶縁膜、a-Siからなる半導体膜、SiNxからなるパッシベーション膜を基板上に積層し、ポジレジスト塗布後、基板の裏面から露光して現像、エッティングを行い、パッシベーションのパターンを形成する。

エッティング後、レジストを剥離した基板の平面

図を第5図(c)に示す。

オーバーエッチングなどの手段により、パッシベーション膜(7)のパターンはゲート電極(3)より小さなパターンで形成される。

そして、不純物半導体膜で基板全面を覆い、半導体膜(6)及び不純物半導体膜(8)がパッシベーション膜(7)を跨ぐようにエッチングする。

次にゲート絶縁膜(5)の一部をエッチングして、コンタクトホール(11)を画素電極とソース電極との間のコンタクトのために形成すると第5図(d)の如くになる。

さらに全面にAlからなる金属膜を被着させた後、ソース、ドレイン電極相当部を残して金属膜をエッチングすると第5図(e)のようになる。

最後にドレイン電極(9)とソース電極(10)との間を短絡させている不純物半導体膜(8)をエッチングして除去してTFTを完成させる。

(実施例2)

本発明の製造方法の第2の実施例として接続用電極を後で形成したTFTアレーの透視平面図を第6図に示す。

第6図において、ゲート電極(3)はAu-Cr、Taなどの非透光性の金属よりなり、画素電極(2)とソース電極(10)間のコンタクトホール(11)形成時に同時に形成されるゲート電極(3)と接続用電極(12)の間のコンタクトホール(11)によって、接続用電極(12)と電気的に接続される。

また、接続用電極(12)はドレイン電極(9)とソース電極(10)と同時に形成され、接続用電極(12)の一部がゲート電極(3)上に重なるように製造される。

第7図に第6図の要部断面図を示す。

第7図において、基板(1)上の非透光性のゲート電極(3)上に裏面露光により残るゲート絶縁膜(5)、半導体膜(6)及びパッシベーション膜(7)の一部は除去されてコンタクトホール(11)を形成し、このコンタクトホール(11)

1)を利用してゲート電極(3)と接続用電極(12)との電気的な接続をしている。

第6、7図のゲートライン形成のための1TFTあたりの新たに設けられるコンタクトホール数は2個であるが、このコンタクトホール形成は多層膜の応力を緩和するので膜のクラック及び剥離の発生を抑制し、TFTの特性を安定化させる。

本発明の第1の実施例においては裏面からの露光によりパッシベーション膜のパターンを形成する例を上げたが、裏面からの露光により半導体膜又は、半導体膜及び不純物半導体膜又は、パッシベーション膜及び半導体膜のパターン形成に応用することも可能である。

(ト)発明の効果

本発明の製造方法によれば、工程数を増やす事なく最小の工程数でTFTのショートをなくすことができる。

4. 図面の簡単な説明

第1図はソース電極側を除去した本発明の製造方法により製造された第1の実施例のTFTアレー

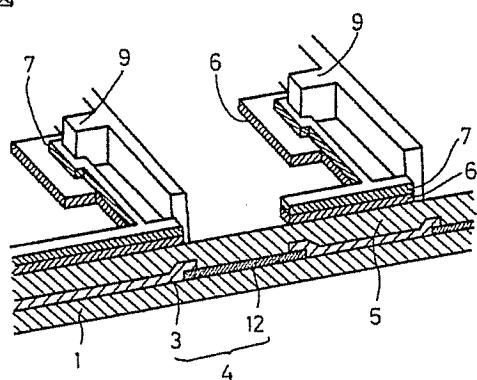
の斜視図、第2図はソース電極側を除去した従来の製造方法によるTFTアレーの斜視図、第3図は本発明の製造方法により製造された第1の実施例のTFTアレーの透視平面図、第4図は従来の製造方法によるTFTアレーの透視平面図、第5図は本発明の第1の実施例のTFTアレーの製造工程図、第6図は本発明の製造方法により製造された第2の実施例のTFTアレーの透視平面図、第7図は本発明の製造方法により製造された第2の実施例の要部断面図である。

1…基板、2…画素電極、3…ゲート電極、4…ゲートライン、5…ゲート絶縁膜、6…半導体膜、7…パッシベーション膜、8…不純物半導体膜、9…ドレイン電極、10…ソース電極、11…コンタクトホール、12…接続用電極。

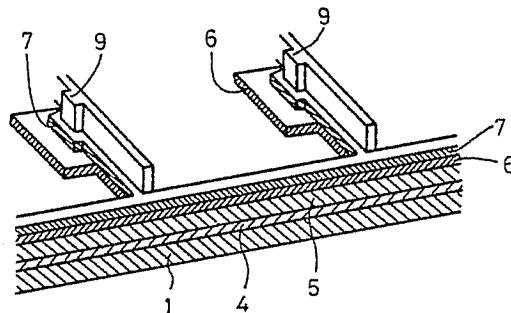
出願人 三洋電機株式会社

代理人 弁理士 西野卓嗣(外2名)

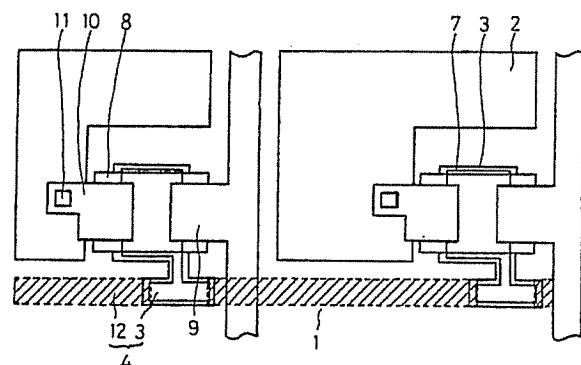
第1図



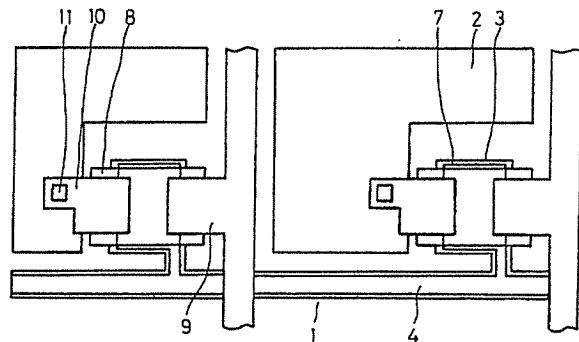
第2図



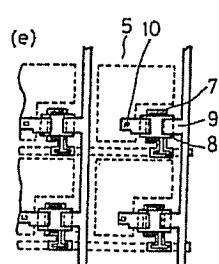
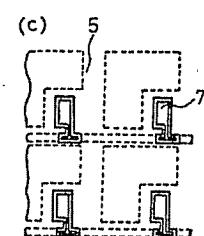
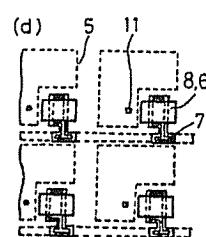
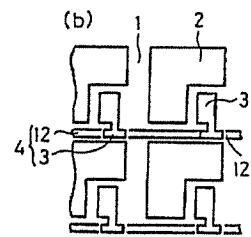
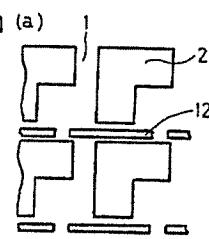
第3図



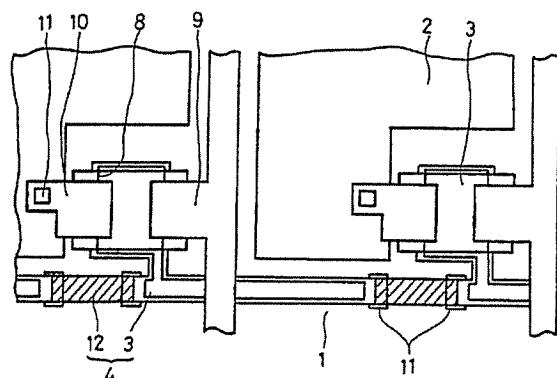
第4図



第5図 (a)



第6図



第7図

